

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-344091

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

H04J 3/22

(21)Application number : 04-149615

(71)Applicant : SONY CORP

(22)Date of filing : 09.06.1992

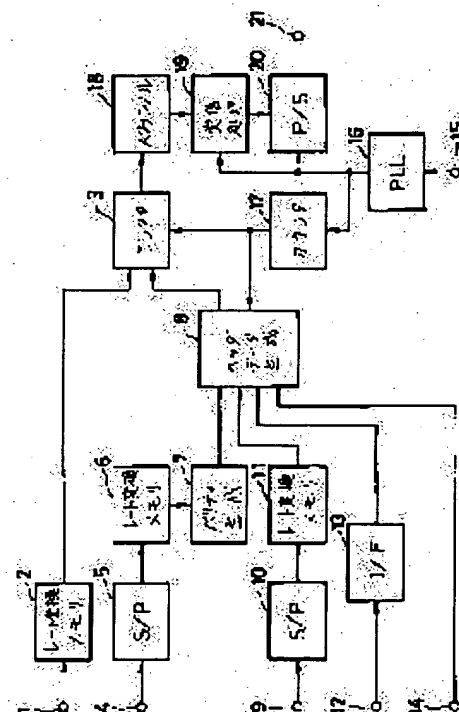
(72)Inventor : WATANABE HIDEKAZU

(54) DIGITAL DATA TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To transmit multiplexed data whose transmission rate differs by allowing a receiver side to control conversion processing to original data based on discrimination of a flag included in transmission data.

CONSTITUTION: Head data generated by a head data generating circuit 8 are fed to a data selector 3, which switches a digital video signal fed from a rate conversion memory 2 and the header data are added to a head of each frame of data to be transmitted. That is, the digital video signal being transmitted main data is converted into a signal with a slightly higher rate, thereby the created portion of margin is used for the transmission of the header data, and various data with a comparatively slow rate are multiplexed by the header data and the result is transmitted. Then the rate of a digital audio signal and other data is converted by rate conversion memories 2, 6, 11 and a flag representing the presence and absence of the data is added to the data and transmitted and the rate of the data is converted into an original rate by discrimination of the flag at the time of reception.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Kokai No. 5-344091

<Claim 1>

A digital data transmission system in which digital data of a second transmission rate lower than a specified first transmission rate is converted into that of the first transmission rate and is transmitted together with a flag which represents absence or presence of the converted data, wherein when the transmitted data is received, the flag is checked to control the conversion of the received data from the first transmission rate to the second transmission rate.

<0028>

The respective flags represent the presence of the data and are set to "1" when the supply of the corresponding data is detected by the header data generation circuit 8. Therefore, from the viewpoint of information content, it is sufficient that the flag has one bit for each piece of data, but in this embodiment a plurality of bits are transmitted, taking into account the occurrence of an error.

<0029>

The header data constructed as above is added to the video data and is transmitted and, hence, it is possible to effectively transmit various data such as audio signals of plural channels, together with the digital image signals. Namely, a space which is produced as a result of the conversion of the digital image signals which are main data to be transmitted into signals having a slightly higher transmission rate is utilized to transmit the header data. Various data such as audio signals having a relatively low transmission rate is multiplexed with the header data and, thus, effective multiplex transmission can be realized. Here, the digital audio signals or other data are added by the flags which represent the presence or absence of the data after the transmission rate is converted by the rate converting memory, so that the converted rate is returned to the original rate upon receipt of the data, based on the detection of the flags. Consequently, it is possible to

transmit correct data even if the transmission rate is quite different from that of the digital image signals which are the main data. Moreover, as the transmission rate is converted to the original rate based on the detection of the flags, upon receipt of the data, if no corresponding data exists, the absence of the data is detected by the detection of the flags. Therefore, unnecessary conversion is not carried out, thus leading to effective data transmission. Furthermore, it is possible to easily modify the transmission rate of the transmission signals output from the transmission side.

<0030>

Although the above-mentioned embodiment has been applied to the transmission of the digital image signals, it goes without saying that the present invention can be applied to the transmission of other data.

In Fig. 1,

2 ... rate converting memory, 3 ... selector, 6 ... rate converting memory, 7 ... parity generator, 8 ... header data generator, 11 ... rate converting memory, 17 ... counter, 18 ... scramble circuit, 19 ... data receiving circuit,

In Fig. 3,

1 frame,

30 bits 30 x 30 = 900 bits
header video data

8 bits	1 bit	5 bits	8 bits	8 bits
synchronizing word		flag A		data A1
0-th frame				
synchronizing word		parity A1	data A1	data 11
1-st frame				
synchronizing word		flag D2 / flag 11		data A2
2-nd frame				
synchronizing word		parity A2	data A2	data 12
3-rd frame				

synchronizing word	flag D2 / flag 12	data A3
4-th frame		
synchronizing word	parity A3 data A3	data D1
5-th frame		
synchronizing word	flag D2 / flag D1	data A4
6-th frame		
synchronizing word	parity A4 data A4	data D2
	7-th frame	Data Structure

In Fig. 4,

A ... transmission data, B ... transmission frame, C ...
received data,

Transmission State in the Prior Art

(11)特許出願公開番号

特開平5-344091

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

室内整理番号

F I

技術表示箇所

H 0 4 J 3/22

4101-5K

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-149615

(22)出願日 平成4年(1992)6月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 渡辺 秀和

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

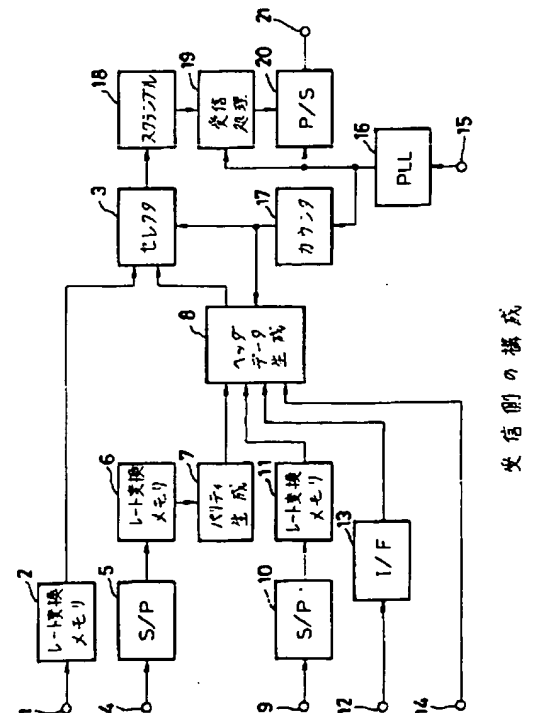
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 デジタルデータ伝送システム

(57) 【要約】

【目的】 伝送レートの異なるデータを効率良く多重化して伝送できるようにする。

【構成】 規定された第1の伝送レートよりも低い第2の伝送レートのデジタルデータを、第1の伝送レートに変換すると共に、この変換データの有無を示すフラグを付加して送信し、この送信データの受信時に、フラグを判断して、受信データの第1の伝送レートから第2の伝送レートへの変換処理を制御するようにした。



【特許請求の範囲】

【請求項1】 規定された第1の伝送レートよりも低い第2の伝送レートのデジタルデータを、上記第1の伝送レートに変換すると共に、この変換データの有無を示すフラグを付加して送信し、

この送信データの受信時に、上記フラグを判断して、受信データの上記第1の伝送レートから上記第2の伝送レートへの変換処理を制御するようにしたデジタルデータ伝送システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の伝送レートのデジタルデータを同時に伝送するデジタルデータ伝送システムに関する。

【0002】

【従来の技術】従来、複数種類のデジタルデータを多重化して伝送する場合、所定の規則に従って並び変えてフォーマットすることが行われ、このフォーマットされたデータを伝送することが行われている。

【0003】

【発明が解決しようとする課題】ところが、データレートの異なるデータや非同期データを多重化して効率良く伝送するのは困難であった。例えば図4に示すように、図4のAに示すデータを他のデータと多重化して送信する場合に、所定のフレーム構成の伝送データ（図4のB）の各フレームf1、f2、f3……の所定箇所に1ビットずつ送信データの状態を示す値（ハイレベル信号“1”又はローレベル信号“0”）を配置し、他のデータと共に伝送することが考えられる。

【0004】そして、この多重化されたデータを受信した場合に、伝送データの各フレームの該当するビットデータに基づいて得られる受信データ（図4のC）は、伝送データのフレーム周期で変化する信号になってしまう。即ち、図4のAに示す送信側のデータに含まれるフレーム周期よりも短い時間での変動が、図4のCに示す受信側で得られるデータに含まれなくなってしまう、データの変化タイミングが正しく伝送できなくなってしまう恐れがある。

【0005】本発明はかかる点に鑑み、伝送レートの異なるデータを効率良く多重化して伝送できるようにすることを目的とする。

【0006】

【課題を解決するための手段】本発明は、規定された第1の伝送レートよりも低い第2の伝送レートのデジタルデータを、第1の伝送レートに変換すると共に、この変換データの有無を示すフラグを付加して送信し、この送信データの受信時に、フラグを判断して、受信データの第1の伝送レートから第2の伝送レートへの変換処理を制御するようにしたものである。

【0007】

【作用】本発明によると、伝送データに含まれるフラグの判断により、受信側で元のデータへの変換処理を制御でき、多重化されて伝送されたデータより元のデータを正確に得ることができる。

【0008】

【実施例】以下、本発明の一実施例を添付図面を参照して説明する。

【0009】図1は本例の伝送方式で伝送されるデータの送信側の構成を示す図で、図中1はデジタル映像信号の入力端子を示し、この入力端子1に得られるデジタル映像信号をレート変換用メモリ2に供給し、伝送データのクロックレートに変換する処理を行う。即ち、入力端子1に得られるデジタル映像信号を、このデジタル映像信号の同期信号に同期してレート変換用メモリ2に書き込ませた後、伝送データの同期信号に同期してレート変換用メモリ2から読出させ、デジタル映像信号のクロックレートを変換する。ここでのレート変換では若干高いクロックレートに変換し、後述するヘッダデータを付加する余裕を確保させる。

【0010】即ち、本例の入力端子1に得られるデジタル映像信号は、伝送速度14.3Mbpsで30ビットパラレルの信号であり、 $14.3\text{Mbps} \times 30 = 429\text{Mbps}$ のデータレートである。ここで、900ビット毎の1フレームに、30ビットのヘッダデータを付加する処理が行われるとすると、 $429\text{M} \times (930/900) = 443.3\text{Mbps}$ とすれば良い。そして、このレート変換用メモリ2から読出されたデジタル映像信号を、データセクタ3に供給する。

【0011】また、4はデジタルオーディオ信号の入力端子を示し、この入力端子4に得られるデジタルオーディオ信号をシリアル/パラレル変換回路5に供給し、パラレルデータに変換する。この場合、本例では4チャンネルの48Kbpsのオーディオ信号と、2チャンネルの32Kbpsのオーディオ信号とが、入力端子4に得られる。そして、変換されたデジタルオーディオ信号をレート変換用メモリ6に供給し、伝送データのクロックレートに変換する処理を行う。このときの変換処理は、上述したデジタル映像信号用のレート変換用メモリ2と同様である。そして、レート変換用メモリ6から読出されたデジタルオーディオ信号を、パリティ生成回路7に供給し、エラー訂正用のパリティを生成させて付加させる処理を行う。そして、パリティが付加されたデータをヘッダデータ生成回路8に供給する。

【0012】また、9は音声、映像以外のデータの入力端子を示し、この入力端子9に得られる各種データ（デジタルデータ）をシリアル/パラレル変換回路10に供給し、パラレルデータに変換する。そして、変換されたデータをレート変換用メモリ11に供給し、伝送データのクロックレートに変換する処理を行う。このときの変換処理も、上述したデジタル映像信号用のレート変換用

メモリ2と同様である。そして、レート変換用メモリ11から読出されたデータを、ヘッダデータ生成回路8に供給する。

【0013】また、12は非同期データの入力端子を示し、この入力端子12に得られる非同期データを非同期データ用インターフェース13に供給し、このインターフェース13で変換された非同期データを、ヘッダデータ生成回路8に供給する。

【0014】また、14は設定データの入力端子を示し、この入力端子14に得られる設定データを直接ヘッダデータ生成回路8に供給する。

【0015】そして、ヘッダデータ生成回路8では、供給される各データをデジタル映像信号のヘッダデータとして合成する処理を行う。このヘッダデータについては後述する。そして、ヘッダデータ生成回路8で生成されたヘッダデータを、データセクタ3に供給し、レート変換用メモリ2から供給されるデジタル映像信号との切換えを行い、伝送されるデータの各フレームの先頭部分にヘッダデータを付加する処理を行う。この場合、ヘッダデータ生成回路8及びデータセクタ3には、後述するカウンタ17側からフレーム同期信号が供給され、このフレーム同期信号に基づいたタイミングで処理が行われる。

【0016】そして、データセクタ3で選択されたデータを、スクランブル回路18に供給して必要に応じて所定のスクランブル処理を行い、スクランブルされたデータを送信処理回路19に供給する。そして、この送信処理回路19では、ランレングスの制限やビット変換などの送信用処理を行い、処理された送信データをパラレル/シリアル変換回路20に供給し、シリアルデータに変換して出力端子21から送信させる。

【0017】ここで、送信処理回路19やパラレル/シリアル変換回路20には、端子15に得られる映像信号用クロックをPLL回路（フェーズ・ロックド・ループ回路）16で伝送用クロックとした信号が供給され、この伝送用クロックに同期して送信用の信号処理が行われる。また、PLL回路16が出力する伝送用クロックをカウンタ17に供給し、この伝送用クロックのカウンタ処理でフレーム同期信号が作成され、このフレーム同期信号をヘッダデータ生成回路8及びデータセクタ3に供給する。

【0018】次に、このようにして送信された伝送データを受信する側の構成を図2に示すと、この図2において、31は伝送データが供給される入力端子を示し、この入力端子31に得られるデータ（受信データ）をシリアル/パラレル変換回路32に供給する。このシリアル/パラレル変換回路32では、供給されるデータをパラレルデータに変換する処理が行われ、変換された受信データを受信処理回路33に供給し、ビット変換などの受信用処理を行い、処理された受信データをデスクラン

ル回路34に供給し、送信時にスクランブルされたデータのスクランブル解除を行う。そして、デスクランブルされたデータをヘッダデータ分離回路35に供給し、ヘッダデータの分離を行う。この場合、シリアル/パラレル変換回路32で変換されたデータを同期検出回路36に供給し、この同期検出回路36で受信データに含まれる同期データを検出する。そして、検出した同期データを受信処理回路33、デスクランブル回路34、ヘッダデータ分離回路35に供給し、同期データに基づいたタイミングで受信データの処理を実行させる。

【0019】また、デスクランブル回路34が出力する受信データを、レート変換用メモリ37に供給し、受信データに含まれるデジタル映像信号を、このデジタル映像信号の正規のクロックレートに変換する。そして、変換されたデジタル映像信号を出力端子38に供給する。

【0020】そして、ヘッダデータ分離回路35では、受信データに含まれるヘッダデータから各データの分離処理を行い、分離したそれぞれのデータを対応した回路に供給する。即ち、ヘッダデータから分離した4チャンネルの48Kbpsのオーディオ信号と、2チャンネルの32Kbpsのオーディオ信号とを、誤り訂正回路39に供給し、データに付加されたパリティなどに基づいて誤り訂正処理を行い、処理されたオーディオ信号をレート変換用メモリ37に供給して、オーディオ信号用の伝送レートに変換し、レートが変換されたオーディオ信号をパラレル/シリアル変換回路41でシリアルデータに変換してから出力端子42に供給する。

【0021】また、ヘッダデータ分離回路35でヘッダデータより分離した音声、映像以外のデータをレート変換用メモリ43に供給し、対応したレートに変換した後、パラレル/シリアル変換回路44でシリアルデータに変換してから出力端子45に供給する。

【0022】また、ヘッダデータ分離回路35でヘッダデータより分離した非同期データを非同期データ用インターフェース46に供給し、このインターフェース46で変換された非同期データを出力端子47に供給する。

【0023】さらに、ヘッダデータ分離回路35でヘッダデータより分離した設定データを出力端子48に供給する。

【0024】次に、このようにして送受信が行われる伝送データの構成について説明すると、本例においては図3に示すように、デジタル映像信号の1フレームが930ビットで構成され、この内の先頭の30ビットがヘッダとされ、残りの900ビットでデジタル映像信号（ビデオデータ）が伝送される。但し、900ビットの内の先頭の30ビットと最後の30ビットとには、映像情報は含まれない。

【0025】そして、1フレーム・30ビットのヘッダでデジタル映像信号以外のデータを伝送する。この1フレーム・30ビットのヘッダは、第0フレームから第7

フレームまでの8フレームで1単位(1ブロック)のデータが構成され、各フレームのヘッダの先頭の8ビットが同期語とされ、続く1ビットがブロック識別用のデータとされる。このブロック識別用のデータは、第0フレームだけが“1”信号になる。そして、次の5ビットがフラグ又はパリティで、最後の16ビットに各種データが配される。ここで、このデータ用の16ビットは、フレームによっては前半の8ビットと後半の8ビットとで異なるデータが配される場合もある。

【0026】ここで図3に示したヘッダデータのデータエリアの構成を各フレーム毎に説明すると、第0フレームには48Kbpsの第1チャンネルのオーディオデータA1が配され、第1フレームの前半には伝送レート48Kbpsの第1チャンネルのオーディオデータA1が配され、第1フレームの後半には伝送レート32Kbpsの第1チャンネルのオーディオデータI1が配され、第2フレームには48Kbpsの第2チャンネルのオーディオデータA2が配され、第3フレームの前半には伝送レート48Kbpsの第2チャンネルのオーディオデータA2が配され、第3フレームの後半には伝送レート32Kbpsの第2チャンネルのオーディオデータI2が配され、第4フレームには48Kbpsの第3チャンネルのオーディオデータA3が配され、第5フレームの前半には伝送レート48Kbpsの第3チャンネルのオーディオデータA3が配され、第5フレームの後半には非同期データD1が配され、第6フレームには48Kbpsの第4チャンネルのオーディオデータA4が配され、第7フレームの前半には伝送レート48Kbpsの第4チャンネルのオーディオデータA4が配され、第7フレームの後半には非同期データD2が配される。

【0027】そして、フラグ又はパリティが配されるエリアの各フレームの構成は、第0フレームには伝送レート48Kbpsのオーディオデータの識別フラグが配され、第1フレームには伝送レート48Kbpsの第1チャンネルのオーディオデータA1のパリティが配され、第2フレームには非同期データD2のフラグ(1ビット)と伝送レート32Kbpsの第1チャンネルのオーディオデータI1のフラグ(3ビット)とが配され、第3フレームには伝送レート48Kbpsの第2チャンネルのオーディオデータA2のパリティが配され、第4フレームには非同期データD2のフラグ(1ビット)と伝送レート32Kbpsの第2チャンネルのオーディオデータI2のフラグ(3ビット)とが配され、第5フレームには伝送レート48Kbpsの第3チャンネルのオーディオデータA3のパリティが配され、第6フレームには非同期データD2のフラグ(1ビット)と非同期データD1のフラグ(3ビット)とが配され、第7フレームには伝送レート48Kbpsの第4チャンネルのオーディオデータA4のパリティが配される。

【0028】ここで示されるそれぞれのパリティは、パ

リティ生成回路7でオーディオデータに対して付加されたものである。そして、それぞれのフラグは、各データの存在を表すもので、ヘッダデータ生成回路8で該当するデータの供給を検出したとき、それぞれのフラグを“1”信号にするものである。従って、情報量としてはフラグは各データ毎に1ビットあれば良いが、ここではエラー発生時を考慮して複数ビット伝送するようにしてある。

【0029】このように構成されるヘッダデータがビデオデータに付加されて伝送されることで、複数チャンネルのオーディオ信号などの各種データをデジタル映像信号と同時に効率良く伝送することができる。即ち、伝送されるメインのデータであるデジタル映像信号を若干高いレートの信号に変換して生じた余裕の部分を、ヘッダデータの伝送に使用し、このヘッダデータでオーディオ信号などの比較的伝送レートの遅い各種データを多重化して伝送するようにしたので、効率の良い多重伝送ができる。そして、この場合にデジタルオーディオ信号やその他のデータは、レート変換用メモリによりレートが変換されてから、このデータの有無を示すフラグが付加されて送信されて、受信時にフラグの判断で元のレートに変換されるようにしたので、伝送レートがメインのデータであるデジタル映像信号と全く異なる場合にも、正確なデータを伝送することができる。また、受信時にフラグの判断で元のレートに変換されるようにしたので、該当するデータが存在しない場合には、フラグの判断でこのことが判り、無駄な変換処理が行われることがなく、効率良く伝送処理が行われる。また、送信側から出力される伝送信号の伝送レートを変更することも容易にできる。

【0030】なお、上述実施例においては、デジタル映像信号を伝送する場合に適用したが、他のデータを伝送する場合にも適用できることは勿論である。

【0031】

【発明の効果】本発明によると、伝送データに含まれるフラグの判断により、受信側で元のデータへの変換処理を制御できるため、多重化されて伝送されたデータより元のデータを正確に得ることができ、伝送レートの異なるデータを多重化して正確に伝送することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例による送信側を示す構成図である。

【図2】本発明の一実施例による受信側を示す構成図である。

【図3】一実施例によるデータ構成を示す構成図である。

【図4】従来の多重伝送状態を示す波形図である。

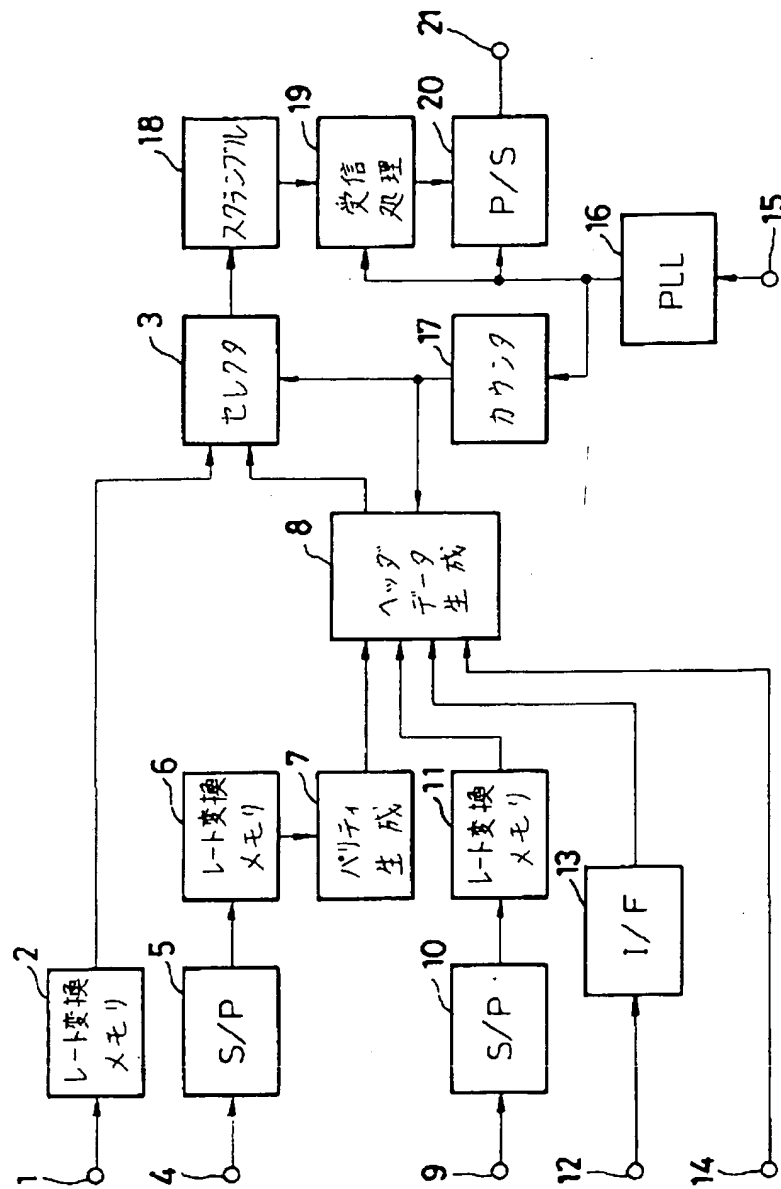
【符号の説明】

2, 6, 11, 37, 40, 46 レート変換用メモリ

8 ヘッダデータ生成回路

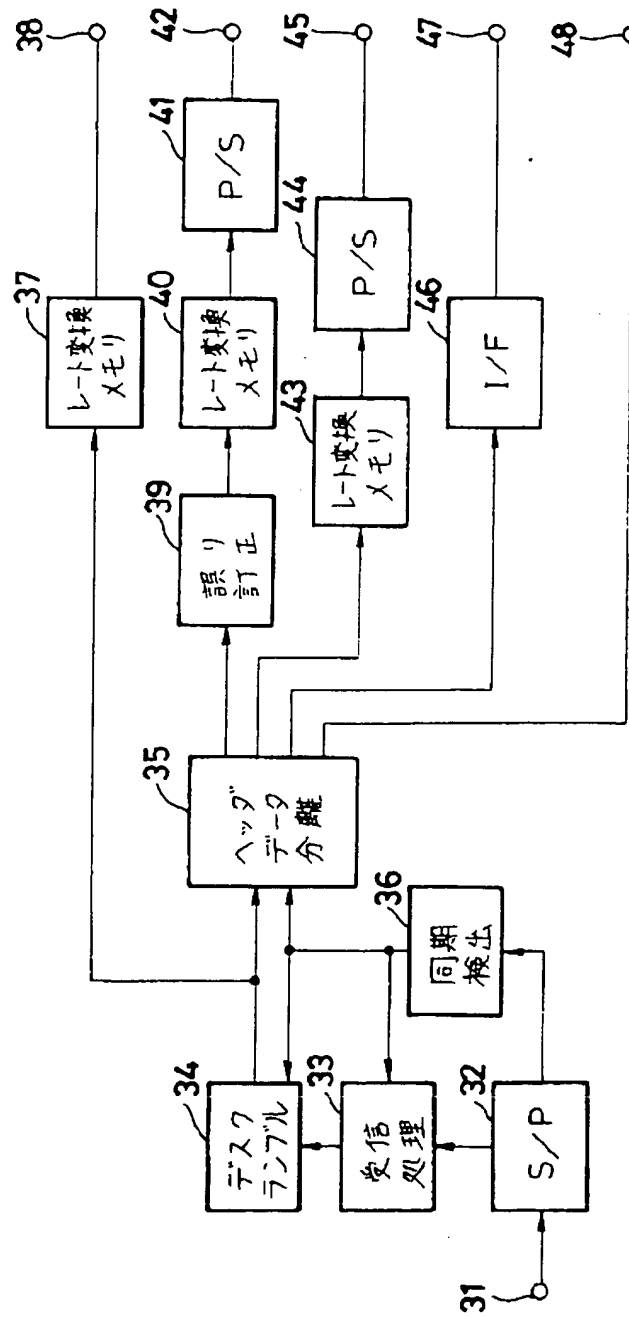
35 ヘッダデータ分離回路

【図1】



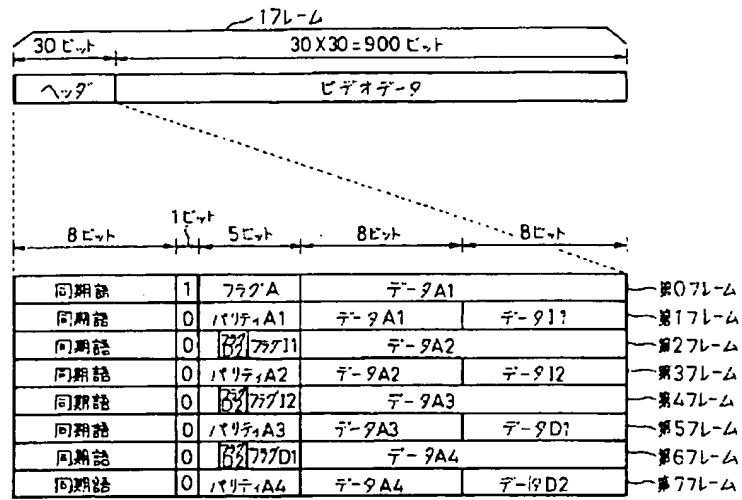
送信側の構成

【図 2】



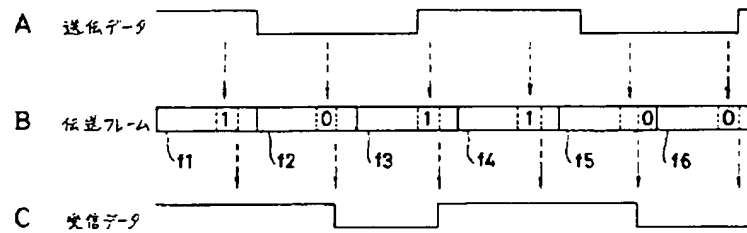
受信側の構成

【図3】



データ構成

【図4】



伝送の伝送状態

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked.

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.